

Предисловие

С усложнением архитектур программируемых логических устройств (ПЛИС — Field Programmable Gate Array — FPGA) фирмы Altera и реализуемых на них проектов используемый ранее классический временной анализатор (Classic Timing Analyzer) не позволяет решать задачи временного анализа на современном уровне. Поэтому в систему (пакет) автоматизированного проектирования Quartus был включен более современный временной анализатор TimeQuest. Временной анализатор TimeQuest позволяет решать задачи временного анализа подобно тому, как это делается при проектировании заказных и специализированных (ASIC — Application Specific Integrated Circuit) микросхем.

Изучение временного анализатора TimeQuest и принципов его работы по технической документации весьма затруднительно. Имеющаяся русскоязычная литература предназначена в основном для начинающих пользователей и не описывает всех возможностей анализатора TimeQuest. В данной книге рассматриваются вопросы временного анализа проектов на ПЛИС фирмы Altera с помощью анализатора TimeQuest.

В настоящее время проблемы синхронизации проекта являются одними из самых сложных при проектировании цифровых систем. Обычно цифровые системы на FPGA содержат несколько десятков синхросигналов, которые формируются на основе небольшого числа (2–4) внешних первичных (базовых) синхросигналов. Внутренние синхросигналы традиционно формируются блоками фазовой автоподстройки частоты (ФАПЧ — PLL — phase-locked loop), но могут также формироваться внутренней логикой FPGA. Эти синхросигналы каким-то образом взаимодействуют между собой, т. е. имеют определенные отношения (их частоты могут умножаться, делиться, сами синхросигналы могут сдвигаться по фазе и др.). Отдельные синхросигналы могут быть независимыми по отношению к другим синхросигналам. Кроме того, обрабатываемые данные в FPGA могут поступать под управлением собственных синхросигналов. Для правильной работы цифровой системы все синхросигналы должны удовлетворять определенным требованиям (ограничениям).

В общем случае каждый синхросигнал управляет передачей данных между регистрами цифровой системы. При этом выделяют синхросигналы запуска (старта) данных из регистра источника и синхросигналы захвата (запоминания) данных в целевом регистре (месте назначения данных). Очевидно, что синхросигналы запуска и захвата должны быть согласованы между собой. Здесь мы сталкиваемся с понятием отношений между фронтами синхросигналов (отношения установки, удержания, восстановления и удаления). Если эти отношения будут заданы неверно, передача данных между регистрами не будет выполнена.

Кроме синхронизации передач данных внутри FPGA, необходимо также синхронизировать входные, выходные и двунаправленные порты FPGA, по которым данные поступают в FPGA и выводятся из FPGA. При этом необходимо учитывать задержки не только в регистрах портов FPGA, но также задержки на печатной плате вне FPGA.

Часто данные не могут быть обработаны в течение одного цикла синхросигнала, например в операциях умножения, деления, цифровой обработки сигналов и др. В этом случае вводится понятие мультицикла, а данные обрабатываются в течение нескольких циклов синхросигнала.

Кроме упомянутых проблем, при синхронизации цифровых систем следует также учитывать такие явления, как метастабильность регистров, пессимизм общих путей синхронизации, передачу синхросигналов как данных, неопределенность синхросигналов, перекос синхросигналов и др. Все эти проблемы решаются путем введения временных ограничений (требований), которые средства проектирования пакета Quartus стремятся удовлетворить на различных этапах маршрута проектирования: логического синтеза, размещения, трассировки и др. Временные ограничения могут вводиться с помощью графического интерфейса временного анализатора TimeQuest в виде SDC-файлов на языке SDC (Synopsis Design Constrains — проектные ограничения в стандарте фирмы Synopsis) или в виде Tcl-файлов на языке сценариев Tcl.

С помощью временных ограничений определяются не только собственно временные ограничения, но также решаются различные задачи временного анализа и формируются необходимые отчеты с результатами временного анализа. Полученные результаты временного анализа разработчик может просмотреть и принять необходимые меры по устранению выявленных ошибок и сбоев синхронизации. Процесс временного анализа цифровой системы носит циклический характер.

ческий характер и после выполнения определенного числа итераций можно надеяться, что все требования синхронизации проекта будут удовлетворены.

Книга состоит из пяти глав и трех приложений.

Первая глава предназначена для начинающих пользователей, в ней описывается графический интерфейс временного анализатора TimeQuest. Рассматриваются общие вопросы временного анализа в пакете Quartus с помощью анализатора TimeQuest: синхронизация ядра (логики) проекта, синхронизация ввода-вывода и анализ результатов временного анализа.

Вторая глава посвящена теоретическим основам статистического временного анализа, который выполняется анализатором TimeQuest. Здесь приводится терминология временного анализа, описываются проверки, выполняемые анализатором TimeQuest, вводится понятие мультициклов, а также рассматриваются такие явления, как метастабильность регистров, пессимизм общих путей синхронизации, анализ синхросигналов как данных, латентность, неопределенность и перекося синхросигналов.

В третьей главе описывается создание временных ограничений с помощью языка SDC. Рассматриваются вопросы создания синхросигналов, виртуальных синхросигналов, групп синхросигналов, ограничений ввода-вывода, мультицикловых путей, определение максимальных и минимальных задержек, ложных путей и др.

Четвертая глава посвящена вопросам применения временного анализа. Здесь рассматриваются такие вопросы, как определение вручную отношений между синхросигналами, влияние различных факторов на эти отношения (отрицательный фронт, периодичность, фазовый сдвиг), применение мультициклов и синхронизация ввода-вывода.

Команды языка SDC используют синтаксис языка сценариев (скриптов) Tcl. Кроме того, команды языка Tcl также могут использоваться для задания временных ограничений проекта. Поэтому пятая глава посвящена использованию языка сценариев Tcl для выполнения временного анализа с помощью анализатора TimeQuest. Следует отметить, что язык Tcl предоставляет наибольшие возможности для временного анализа по сравнению с графическим интерфейсом анализатора TimeQuest и с командами языка SDC. В данной главе рассматриваются элементы синтаксиса языка Tcl, особенности реализации и использования языка Tcl в пакете Quartus, а также применение языка Tcl для временного анализа.

Каждая глава заканчивается выводами, в которых в сжатой форме излагаются основные моменты, рассматриваемые в данной главе. Выводы в конце каждой главы полезны по многим причинам. Прочитав некоторую главу, читатель может не уловить основной смысл излагаемых положений из-за обилия деталей и примеров. Внимательное прочтение выводов способствует более ясному и четкому пониманию излагаемого в главе материала. Кроме того, чтение главы можно начинать с выводов, из которых выбрать то, что наиболее интересно читателю, а затем детали уточнить из материала главы.

Приложения состоят из трех частей. Приложение А содержит описание основных команд языка SDC, которые составляют пакет `sdc`. Эти команды работают во всех программных средствах, которые поддерживают язык SDC. Приложение В содержит описание команд пакета `sdv_ext`, который включает команды расширения языка SDC. Эти команды работают только с временным анализатором TimeQuest программного обеспечения Quartus. Приложение В содержит описание команд языка Tcl, относящихся к временному анализу. Эти команды запускаются только из командной строки пакета Quartus.

Книга содержит много примеров, большинство из которых выполнено в среде программного обеспечения Quartus Prime версии 16.1.

Книга прежде всего предназначена разработчикам цифровых систем на основе FPGA фирмы Altera, которые приступают к изучению временного анализатора TimeQuest или хотят больше узнать о его возможностях. Книга может быть полезна разработчикам цифровой аппаратуры, которые для временного анализа используют (или планируют использовать) языки SDC и Tcl.

Книга также предназначена для студентов и преподавателей технических университетов соответствующих специальностей. Преподаватели найдут в книге много полезной информации для подготовки лекций, практических и лабораторных занятий, а студенты — ответы на поставленные вопросы. Книга может быть также полезна аспирантам и научным работникам как источник информации о современных средствах статистического временного анализа цифровых систем.

Работа выполнена при частичной финансовой поддержке Белостокского технологического университета (Республика Польша), грант S/WI/1/2013.