

Оглавление

Предисловие	3
Глава 1. Введение	8
1.1. Комбинационные и последовательные схемы, конечные автоматы	8
1.2. Элементы теории конечных автоматов	9
1.3. Традиционная структурная модель конечных автоматов Мили и Мура	11
1.4. Совмещенная модель конечных автоматов Мили и Мура	12
1.5. Сравнение конечных автоматов Мили и Мура	13
1.6. Базовые структурные модели конечных автоматов	14
1.7. Традиционная методика проектирования цифровых устройств на примере последовательного умножителя	16
1.7.1. Операционные и управляющие устройства	16
1.7.2. Алгоритм функционирования последовательного умножителя	17
1.7.3. Представление последовательного умножителя в виде операционного управляющего устройства	18
1.8. Проектирование операционного устройства	19
1.9. Методика проектирования конечных автоматов по граф-схеме алгоритма	21
1.10. Граф-схемы алгоритмов	22
1.11. Построение конечных автоматов по ГСА	23
1.11.1. Проблемы построения конечных автоматов по ГСА	23
1.11.2. Разметка ГСА для синтеза МПА Мура	24
1.11.3. Разметка ГСА для синтеза МПА Мили	24
1.11.4. Примеры разметки ГСА для синтеза автоматов Мили и Мура	25
1.12. Место конечных автоматов в структуре цифрового устройства или цифровой системы	27
1.13. Выводы	28
Глава 2. Представление конечных автоматов	31
2.1. Графы автоматов	31
2.2. Входные и выходные переменные, входной и выходной алфавит конечного автомата	33

2.3. Абстрактные и структурные конечные автоматы, полностью и неполностью определенные конечные автоматы	34
2.4. Таблицы переходов и выходов	35
2.5. Представление конечных автоматов в виде списков переходов	36
2.5.1. Списки переходов	36
2.5.2. Структурные списки переходов	37
2.5.3. Построение логических уравнений комбинационной части конечного автомата	39
2.5.4. Использование JK- и T-триггеров в качестве элементов памяти конечных автоматов	40
2.6. Язык ASM	43
2.6.1. Определение языка ASM	43
2.6.2. Методика построения ASM	45
2.6.2. Пример построения ASM для автомата Мура	46
2.6.4. Пример построения ASM для автомата Мили	47
2.6.5. Описание с помощью ASM совмещенных моделей автоматов Мили и Мура	47
2.7. Формат KIS2	48
2.8. Анализ различных способов представления конечных автоматов	50
2.9. Пример конечного автомата, используемый в описаниях на языках проектирования	53
2.10. Выводы	55
Глава 3. Элементная база конечных автоматов	59
3.1. Основные электронные компоненты	59
3.2. Архитектура электронных компонентов	60
3.2.1. Архитектуры PLD	60
3.2.2. Архитектура CPLD	63
3.2.3. Архитектура FPGA	64
3.2.4. Архитектура SoC	66
3.3. Память электронных компонентов	67
3.3.1. Память цифровых систем	67
3.3.2. Блоки встроенной памяти FPGA	68
3.4. Реализация конечных автоматов в блоках памяти FPGA	69
3.5. Выводы	71
Глава 4. Методы синтеза, реализованные в промышленных средствах проектирования цифровых систем	72
4.1. Обобщенная методика реализации цифровых устройств с помощью средств проектирования	72
4.2. Логический синтез конечных автоматов	74
4.3. Методы логического синтеза	75
4.3.1. Двухуровневый логический синтез	76
4.3.2. Многоуровневый логический синтез	77
4.4. Декомпозиция булевых функций	78

4.5. Физический синтез	81
4.5.1. Основные этапы физического синтеза	81
4.5.2. Размещение	81
4.5.3. Трассировка	82
4.6. Методы физического синтеза	83
4.6.1. Дублирование регистров	83
4.6.2. Объединение регистров	83
4.6.3. Ретайминг регистров	84
4.6.4. Декомпозиция и объединение LUT	84
4.6.5. Оптимизация критических ячеек	85
4.7. Выводы	85
Глава 5. Конструкции языка Verilog для описания конечных автоматов	88
5.1. Общая структура кода в языке Verilog	88
5.2. Заголовок модуля	89
5.2.1. Объявление параметров модуля	89
5.2.2. Объявление портов модуля	90
5.3. Декларативная часть	91
5.3.1. Объявление локальных параметров	91
5.3.2. Основные типы данных	92
5.3.3. Объявление переменных	93
5.3.4. Объявление задач и функций	93
5.3.5. Константные функции	94
5.4. Операторная часть	96
5.4.1. Оператор always и блоки always	96
5.4.2. Процедурные операторы блокирующего (=) и неблокирующего (<=) назначения	98
5.4.3. Оператор непрерывного назначения assign	99
5.4.4. Оператор if	99
5.4.5. Оператор case	100
5.4.6. Атрибуты full_case и parallel_case	102
5.4.7. Атрибут keep	107
5.4.8. Другие операторы процедурного программирования	107
5.4.9. Вызовы задач и функций, инстанция модулей	110
5.5. Выводы	114
Глава 6. Описание конечных автоматов на языке Verilog	118
6.1. Описание конечного автомата Мили с тремя процессами	118
6.1.1. Код проекта конечного автомата Мили с тремя процессами	118
6.1.2. Синтез проекта автомата Мили с тремя процессами	121
6.1.3. Моделирование проекта автомата Мили с тремя процессами	122
6.2. Описание конечного автомата Мура с тремя процессами	125
6.2.1. Код проекта автомата Мура с тремя процессами	125

6.2.2. Синтез проекта автомата Мура с тремя процессами	127
6.2.3. Моделирование проекта автомата Мура с тремя процес- сами	129
6.3. Сравнение результатов функционального моделирования ав- томатов Мили и Мура	130
6.4. Описание конечных автоматов Мили с двумя процессами	132
6.5. Описание конечных автоматов Мура с двумя процессами	136
6.6. Описание конечных автоматов Мили с одним процессом	142
6.7. Описание конечных автоматов Мура с одним процессом	143
6.8. Анализ временных диаграмм проектов конечных автоматов . .	144
6.9. Оценка площади, быстродействия и числа строк исходного кода описания конечных автоматов	147
6.10. Выводы	149
Глава 7. Описание конечных автоматов на языке SystemVeri- log	152
7.1. Конструкции языка SystemVerilog для описания конечных автоматов	152
7.1.1. Тип logic	152
7.1.2. Назначения `0, `1, `x и `z	152
7.1.3. Процедурные блоки always_comb и always_ff	153
7.1.4. Имена процедурных блоков	155
7.1.5. Перечисляемые и пользовательские типы	155
7.1.6. Квалификаторы unique и priority	157
7.2. Описание конечных автоматов Мили на языке SystemVerilog .	160
7.2.1. Традиционное описание конечного автомата Мили на языке SystemVerilog	161
7.2.2. Указание кодов состояний в коде проекта	164
7.2.3. Использование пользовательского типа для объявления переменных состояния	167
7.2.4. Использование квалификаторов unique и priority в опи- сании конечных автоматов	168
7.2.5. Описание конечных автоматов с абстрактными именами	174
7.2.6. Использование имен процедурных блоков	176
7.2.7. Использование нотации `x для описания недопустимых состояний и ошибочных выходных векторов	178
7.2.8. Анализ различных описаний конечного автомата Мили на языке SystemVerilog	179
7.3. Описание конечных автоматов Мура на языке SystemVerilog .	182
7.3.1. Традиционное описание конечного автомата Мура на языке SystemVerilog	182
7.3.2. Другие способы описания конечного автомата Мура на языке SystemVerilog	184
7.4. Выводы	185
Глава 8. Стили и способы описания конечных автоматов на языках Verilog и SystemVerilog	187

8.1. Описание конечных автоматов с регистрами на выходах	187
8.2. Использование оператора case в описании конечных автоматов	188
8.3. Описание надежных конечных автоматов	190
8.4. Раздельная и векторная проверка значений входных сигналов	194
8.5. Раздельное и векторное определение значений выходных сигналов	196
8.6. Определение значения по умолчанию для состояния перехода	199
8.7. Определение значений по умолчанию выходных сигналов	203
8.8. Определение значений по умолчанию для состояния перехода и выходных сигналов	205
8.9. Анализ рассмотренных способов описания конечных автоматов на языках Verilog и SystemVerilog	206
8.10. Выводы	209
Глава 9. Конструкции языка VHDL для описания конечных автоматов	211
9.1. Идентификаторы и ключевые слова	211
9.2. Комментарии	212
9.3. Литералы	212
9.4. Типы	213
9.5. Подтипы	213
9.6. Перечисляемые типы	214
9.7. Тип STD_LOGIC	214
9.8. Массивы	215
9.9. Константы	215
9.10. Переменные	216
9.11. Сигналы	216
9.12. Объект	217
9.13. Архитектура	217
9.14. Атрибуты	218
9.15. Имена	218
9.16. Операции	219
9.17. Последовательные операторы	219
9.17.1. Оператор присвоения значения переменной	220
9.17.2. Оператор присвоения значения сигналу	220
9.17.3. Оператор if	220
9.17.4. Оператор case	221
9.18. Параллельные операторы	222
9.18.1. Оператор процесса	222
9.18.2. Оператор условного назначения сигнала	223
9.18.3. Оператор выборочного назначения сигнала	224
9.19. Выводы	224
Глава 10. Описание конечных автоматов на языке VHDL	228

10.1. Описание конечных автоматов Мили	228
10.1.1. Описание конечных автоматов Мили с тремя процес- сами	228
10.1.2. Описание конечных автоматов Мили с двумя процес- сами	232
10.1.3. Описание конечных автоматов Мили с одним процес- сом	236
10.2. Описание конечных автоматов Мура	237
10.2.1. Описание конечных автоматов Мура с тремя процес- сами	237
10.2.2. Описание конечных автоматов Мура с двумя процес- сами	239
10.2.3. Описание конечных автоматов Мура с одним процес- сом	245
10.3. Указание кодов состояний в коде проекта	247
10.4. Описание надежных конечных автоматов	251
10.5. Определение значений по умолчанию	255
10.5.1. Определение значения по умолчанию для состояния перехода	255
10.5.2. Определение значения по умолчанию для выходных сигналов	256
10.5.3. Определение значений по умолчанию для состояния перехода и для выходных сигналов	258
10.6. Использование оператора case в описании конечных автома- тов	259
10.7. Анализ различных описаний конечных автоматов на языке VHDL	261
10.7.1. Анализ описаний конечных автоматов Мили на языке VHDL	261
10.7.2. Анализ описаний конечных автоматов Мура на языке VHDL	265
10.8. Выводы	268
10.9. Рекомендации по практическому применению стилей и спо- собов описания конечных автоматов	269
Глава 11. Кодирование состояний конечных автоматов	271
11.1. Сложность задачи кодирования состояний конечных автома- тов	272
11.2. Коды для кодирования состояний конечных автоматов	274
11.3. Кодирование состояний конечных автоматов в системе Quar- tus	277
11.3.1. Кодирование состояний автомата Мура	277
11.3.2. Кодирование состояний автомата Мили	282
11.4. Анализ результатов кодирования конечных автоматов	285
11.4.1. Анализ результатов кодирования автомата Мура	285
11.4.2. Анализ результатов кодирования автомата Мили	287

11.5. Методы и алгоритмы кодирования состояний конечных автоматов	288
11.5.1. Разнообразие подходов к решению задачи кодирования состояний конечных автоматов	288
11.5.2. Методы кодирования состояний, используемые для проектирования конечных автоматов.....	289
11.5.3. Алгоритм кодирования состояний конечных автоматов для минимизации площади	291
11.6. Выводы	292
Глава 12. Использование значений входных и выходных переменных конечных автоматов для кодирования состояний	296
12.1. Синтез конечных автоматов класса C.....	297
12.2. Синтез конечных автоматов класса D	303
12.3. Синтез конечных автоматов класса D без расщепления состояний	307
12.4. Синтез конечных автоматов класса E.....	309
12.5. Синтез конечных автоматов класса E без расщепления состояний	314
12.6. Синтез конечных автоматов класса F.....	316
12.7. Синтез конечных автоматов класса F без расщепления состояний	320
12.8. Начало функционирования конечных автоматов классов C–F	323
12.9. Оценка стоимости реализации структурных моделей конечных автоматов	326
12.9.1. Нижняя граница стоимости реализации структурных моделей конечных автоматов	326
12.9.2. Верхняя граница стоимости реализации структурных моделей конечных автоматов	328
12.10. Анализ конечных автоматов классов A–F	331
12.10.1. Анализ структурных моделей автомата Мили	331
12.10.2. Анализ структурных моделей автомата Мура.....	334
12.11. Выводы	335
12.12. Анализ рассмотренных методов проектирования конечных автоматов	337
Заключение	341
Литература	342
Обозначения, принятые в этой книге	344
Список сокращений	346
Предметный указатель	348