

Оглавление

Предисловие	3
Часть I. Проектирование памяти	8
Глава 1. Блоки встроенной памяти	9
1.1. Память встраиваемых систем	9
1.2. Встроенная память (память на кристалле FPGA)	10
1.2.1. Преимущества и недостатки встроенной памяти	10
1.2.2. Область применения встроенной памяти	11
1.3. Архитектура встроенной памяти	12
1.3.1. Типы встроенной памяти	12
1.3.2. Типы встроенной памяти FPGA семейства Cyclone V	13
1.3.3. Режимы функционирования встроенной памяти	14
1.3.4. Биты четности в блоках встроенной памяти	19
1.3.5. Режимы синхронизации встроенной памяти	19
1.3.6. Режимы функционирования выходов памяти	21
1.3.7. Конфигурации портов со смешанной шириной	23
1.3.8. Разрешение байтов записываемых данных	24
1.3.9. Поддержка режима упаковки	25
1.3.10. Разрешение синхронизации адреса	25
1.4. Рекомендации по проектированию встроенной памяти	25
1.4.1. Выбор блока памяти	25
1.4.2. Внешнее разрешение конфликтов	26
1.4.3. Настройка поведения чтения во время записи	26
1.4.4. Состояние и инициализация памяти по включению питания	26
1.4.5. Управление синхронизацией для уменьшения потребляемой мощности	26
Выводы	27
Глава 2. Описание встроенной памяти на языке Verilog	30
2.1. Способы описания памяти на примере однопортовой памяти с одним синхросигналом	30
2.1.1. Объявление матрицы памяти	30
2.1.2. Режимы функционирования выходов памяти	31
2.1.3. Описание памяти со «старыми» данными на выходе	31
2.1.4. Описание памяти с «новыми» данными на выходе	35
2.1.5. Описание памяти с комбинационными выходами	38
2.1.6. Установка регистров на адресных входах памяти	40
2.2. Инициализация памяти	42
2.3. Однопортовая память с двумя синхросигналами	44

2.4. Простая двухпортовая память (Simple Dual-Port RAM)	45
2.5. Действительно двухпортовая память (True Dual-Port RAM)	46
2.6. Память типа ROM (Read-Only Memory — постоянное запоминающее устройство — ПЗУ)	48
2.7. Реализация сдвиговых регистров в блоках встроенной памяти FPGA	51
2.8. Память FIFO	54
2.9. Память LIFO	57
2.10. Использование атрибутов синтеза при описании памяти на языке Verilog	60
Выводы	63
Глава 3. Проектирование памяти с помощью IP-ядер и редактора параметров системы Quartus	66
3.1. IP-каталог для создания модулей памяти	66
3.2. Создание модулей памяти типов RAM и ROM	67
3.3. Создание модуля памяти типа FIFO	76
3.4. Создание сдвигового регистра в блоке встроенной памяти FPGA	80
Выводы	81
Часть II. Проектирование устройств управления	83
Глава 4. Проектирование микропрограммных автоматов	84
4.1. Микропрограммирование и микропрограммные автоматы	84
4.2. Представление МПА. Граф-схемы алгоритмов	86
4.3. Проектирование микропрограммного автомата по граф-схеме алгоритма	88
4.3.1. Методика проектирования МПА по ГСА	88
4.3.2. Разметка ГСА	89
4.3.3. Построение таблицы переходов	91
4.3.4. Дополнительная разметка ГСА и псевдоэквивалентные МПА	93
4.4. Реализация МПА на FPGA	93
4.4.1. Реализация МПА Мили	93
4.4.2. Реализация МПА Мура	95
4.4.3. Анализ функционирования МПА Мили и МПА Мура	97
4.4.4. Реализация МПА Мура класса С	98
4.5. Использование МПА при реализации алгоритмических умножителей	100
4.5.1. Реализация умножителя с помощью алгоритма а	100
4.5.2. Проектирование операционного устройства	101
4.5.3. Проектирование устройства управления	102
4.5.4. Реализация умножителя на FPGA	104
4.5.5. Сравнение различных способов реализации алгоритмических умножителей	108
Выводы	110
Глава 5. Блок-схемы автоматов (ASM)	112

5.1. Проблемы ГСА при описании алгоритмов функционирования аппаратуры	112
5.2. Язык ASM	113
5.3. Методика построения ASM	115
5.4. Пример построения ASM для автомата Мура	116
5.5. Пример построения ASM для автомата Мили	116
5.6. Реализация конечных автоматов на FPGA по их описанию на ASM	117
5.6.1. Реализация автомата Мура	117
5.6.2. Реализация автомата Мили	118
5.7. Описание с помощью ASM совмещенных моделей автоматов Мили и Мура	120
5.8. Описание с помощью ASM параллельных процессов	122
5.9. Описание с помощью ASM комбинационных схем	123
Выводы	126
Глава 6. Конечные автоматы с трактом обработки данных	128
6.1. Блок-схемы ASMD и автоматы FSM D	128
6.2. Язык ASMD	129
6.3. Использование FSM D типа Мура для реализации алгоритма умножения а	129
6.4. Использование FSM D типа Мили для реализации алгоритма умножения а	134
6.5. Увеличение быстродействия синхронного умножителя	138
6.6. Сравнение различных способов реализации синхронного умножителя	141
Выводы	145
Часть III. Проектирование встроенных процессоров	147
Глава 7. Основы проектирования встроенных процессоров	148
7.1. Архитектуры системы команд процессоров	148
7.2. Архитектура системы команд реализуемого процессора	150
7.2.1. Архитектура системы команд микроконтроллера PIC16F84A	150
7.2.2. Проектирование системы команд процессора PIC	152
7.3. Базовые структуры RISC-процессоров	155
7.3.1. Однотактовый процессор PIC	155
7.3.2. Многотактный процессор PIC	157
7.3.3. Конвейерный процессор PIC	159
7.3.4. Использование кэш-памяти	161
7.3.5. Суперскалярные процессоры	162
7.3.6. Многопоточные процессоры	162
7.3.7. Многоядерные процессоры	163
7.4. Методика проектирования процессоров на FPGA	163
Выводы	166
Глава 8. Проектирование однотактового процессора PIC	168

8.1. Проектирование операционного устройства	168
8.1.1. Элементы памяти процессора	168
8.1.2. Определение адреса следующей команды	170
8.1.3. Реализация команд пересылки данных (movlw, movwf и movf)	170
8.1.4. Реализация операций с байтами (команды формата a)	171
8.1.5. Реализация операций циклического сдвига (команды rlf и rrf)	172
8.1.6. Реализация операций инкремента и декремента с пропуском следующей команды, если результат нулевой (команды incfsz и decfsz)	173
8.1.7. Реализация операций над битами (команды формата b)	174
8.1.8. Реализация операций с константами (команды формата c)	175
8.1.9. Реализация команд перехода по адресу (goto), вызова подпрограммы (call) и возврата из подпрограммы (return, retlw)	175
8.1.10. Реализация загрузки значения аккумулятора из памяти данных (команда lw) и сохранение значения аккумулятора в памяти данных (команда sw)	176
8.1.11. Реализация переходов по адресу в зависимости от результата предыдущей операции (команды gotoz и gotonz)	177
8.2. Проектирование арифметико-логического устройства	178
8.3. Проектирование устройства управления	181
8.4. Реализация одноклового процессора PIC	183
8.4.1. Структура реализуемого процессора	183
8.4.2. Описание на языке Verilog компонентов операционного устройства	185
8.4.3. Описание операционного устройства (datapath)	187
8.4.4. Описание процессора PIC	189
8.4.5. Описание памяти данных	190
8.4.6. Описание памяти команд	191
8.4.7. Описание модуля верхнего уровня	191
8.5. Отладка одноклового процессора PIC	193
8.5.1. Отладка компонентов операционного устройства	193
8.5.2. Отладка устройства управления	193
8.5.3. Отладка памяти данных и памяти команд	194
8.5.4. Отладка всего проекта процессора PIC	195
8.6. Оценка производительности одноклового процессора	199
8.7. Модификация процессора PIC	202
Выводы	203
Глава 9. Проектирование многотактовых процессоров PIC	205
9.1. Традиционное проектирование многотактового процессора PIC	205
9.1.1. Проектирование операционного устройства	205
9.1.2. Проектирование устройства управления	207
9.1.3. Описание на языке Verilog компонентов многотактового процессора	214
9.1.4. Отладка многотактового процессора	219
9.1.5. Анализ проекта многотактового процессора	220
9.2. Проектирование двухтактового процессора PIC	220
9.2.1. Проектирование схемы двухтактового процессора	220
9.2.2. Описание на языке Verilog компонентов двухтактового процессора	222

9.2.3. Отладка двухтактного процессора	225
9.3. Проектирование четырехтактного процессора PIC	225
9.3.1. Проектирование операционного устройства	225
9.3.2. Проектирование устройства управления	229
9.3.3. Описание на языке Verilog компонентов четырехтактного процессора ..	230
9.3.4. Отладка четырехтактного процессора	232
9.4. Оценка стоимости реализации и производительности процессоров PIC	232
Выводы	234
Часть IV. Проектирование блоков цифровой обработки сигна-	
лов	236
Глава 10. Проектирование цифровых фильтров	238
10.1. Системы цифровой обработки сигналов на FPGA	238
10.1.1. Введение в цифровую обработку сигналов	238
10.1.2. Использование FPGA для реализации систем DSP	239
10.2. Цифровые фильтры	241
10.2.1. Классификация цифровых фильтров по частоте пропускания	241
10.2.2. ВИХ- и КИХ-фильтры	242
10.2.3. Выбор между ВИХ- и КИХ-фильтрами	243
10.2.4. Типы КИХ-фильтров	244
10.3. Описание цифровых фильтров на языке Verilog	244
10.4. Методология проектирования цифровых фильтров на FPGA	248
10.4.1. Определение спецификаций фильтра	248
10.4.2. Вычисление коэффициентов фильтра	249
10.4.3. Определение структуры фильтра	249
10.4.4. Анализ влияния конечной разрядности слова	250
10.4.5. Реализация фильтра	251
10.5. Разработка цифровых фильтров в системе MATLAB	252
10.6. Моделирование цифровых фильтров в системе ModelSim	261
10.7. Реализация цифровых фильтров в системе Quartus	263
10.7.1. Реализация в системе Quartus цифровых фильтров, разработанных в	
системе MATLAB.....	263
10.7.2. Исследование реализации на FPGA различных типов цифровых филь-	
тров	264
Выводы	266
Часть V. Проектирование подсистемы синхронизации	269
Глава 11. Реализация синхронных проектов	270
11.1. Принципы функционирования синхронных проектов	270
11.2. Рекомендации от Intel по проектированию надежных синхронных	
проектов	271
11.2.1. Избегайте комбинационных циклов	271
11.2.2. Избегайте непреднамеренного ввода в проект защелок (latches)	272
11.2.3. Избегайте цепочек задержки в путях синхронизации	272

11.2.4. Используйте синхронные схемы для генерации одиночного импульса .	273
11.2.5. Генерация внутренних синхросигналов	273
11.2.6. Использование внутренней логики FPGA в качестве источника синхросигналов или сигналов управления регистрами	274
11.2.7. Домены синхросигналов	275
11.2.8. Делители частоты синхросигналов	275
11.2.9. Использование счетчиков пульсации (ripple counters)	275
11.2.10. Использование сетей синхронизации	277
11.3. Мультиплексирование синхросигналов	277
11.4. Стробирование синхросигналов	280
11.4.1. Стробирование синхросигналов в проектах на FPGA	280
11.4.2. Способы стробирования синхросигналов	280
11.4.3. Реализация регистров со стробированием синхросигнала	284
11.4.4. Исследование способов стробирования синхросигналов	286
11.4.5. Использование опции Auto Gated Clock Conversion	287
11.4.6. Стробирование асинхронным сигналом	288
11.5. Рекомендации при разработке высокоскоростных и логически сложных проектов	289
11.5.1. Планирование физической реализации	289
11.5.2. Планирование ресурсов FPGA	290
11.5.3. Удовлетворение временным ограничениям	291
11.6. Оптимизация подсистемы синхронизации	291
11.6.1. Ретайминг	291
11.6.2. Дублирование регистров	292
11.6.3. Физический синтез для комбинационной логики	292
11.6.4. Опции системы Quartus, влияющие на оптимизацию синхронизации	292
11.6.5. Оптимизация критических путей	296
11.7. Проектирование сигналов сброса	296
11.7.1. Синхронный сброс регистров	297
11.7.2. Асинхронный сброс регистров	300
11.7.3. Исследование способов сброса регистров	303
11.8. Атрибуты синтеза, влияющие на синхронизацию проекта	305
Выводы	306
Глава 12. Блоки фазовой автоподстройки частоты PLL	309
12.1. Принципы функционирования блока PLL	309
12.2. Особенности архитектуры блоков PLL в FPGA семейства Cyclone V	311
12.3. Особенности функционирования блоков PLL в FPGA семейства Cyclone V	312
12.4. Режимы синхросигнала обратной связи	313
12.4.1. Режим синхронизации источником	314
12.4.2. Режим компенсации LVDS	314
12.4.3. Прямой режим	315
12.4.4. Режим нормальной компенсации	315

12.4.5. Режим буфера нулевой задержки ZDB	315
12.4.6. Режим внешней обратной связи	316
12.5. Дробный и целочисленный режимы работы PLL	316
12.6. Переключение опорных синхросигналов	316
12.7. Конфигурирование блоков PLL с помощью IP-ядер и редактора параметров системы Quartus.....	317
12.8. Реконфигурирование блоков PLL	323
12.9. Реконфигурирование блоков PLL с помощью интерфейса Avalon-MM	325
12.10. Реконфигурирование блоков PLL с помощью потоковой передачи MIF из блока встроенной памяти FPGA.....	325
12.11. Динамический фазовый сдвиг блока PLL	326
12.11.1. Выполнение динамического фазового сдвига с помощью IP-ядра переконфигурации PLL (Altera PLL Reconfig).....	327
12.11.2. Выполнение динамического фазового сдвига с помощью IP-ядра создания блока PLL (Altera PLL).....	327
Выводы.....	329
Заключение.....	333
Список сокращений.....	334
Литература.....	336
Предметный указатель.....	337